

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-080225

(43)Date of publication of application : 05.04.1991

(51)Int.Cl.

G02F 1/136  
G02F 1/1333  
H01L 29/784

(21)Application number : 01-216481

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.08.1989

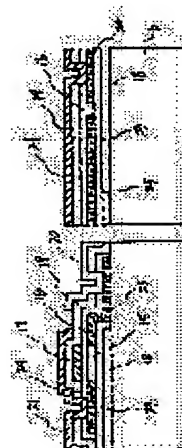
(72)Inventor : MATSUO MUTSUMI

## (54) ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To improve the opening rate of picture elements by disposing a 1st wiring layer or 2nd wiring layer and a 3rd wiring layer in proximity or in superposition and inserting a 1st insulating film, a semiconductor thin film of thin-film transistors and a 2nd insulating film between the wiring layers.

**CONSTITUTION:** A conductive film is deposited on an insulating substrate 6 and is patterned to form a constant voltage common wire 18. A semiconductor thin film 15, such as polycrystalline silicon thin film, is then deposited thereon and is patterned to form active regions. A gate insulating film 16 is formed and in succession a high-doping polycrystalline silicon thin film or metallic thin film is deposited and is patterned to form gate electrodes and gate line 17. Source and drain regions 24, 25 are formed and the interlayer insulating film 19 is deposited and is opened with contact holes. A transparent conductive film is deposited and patterned to form transparent picture element electrodes 20. A metallic thin film is deposited and patterned to form source line 21. The panel having the high opening rate is obtd. in this way.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-80225

⑬ Int. Cl.<sup>3</sup>

G 02 F 1/136  
1/1333  
H 01 L 29/784

識別記号

5 0 0  
5 0 0

庁内整理番号

9018-2H  
7610-2H

⑭ 公開 平成3年(1991)4月5日

9056-5F H 01 L 29/78

3 1 1 A

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 アクティブマトリックス基板

⑯ 特 願 平1-216481

⑰ 出 願 平1(1989)8月23日

⑱ 発 明 者 松 尾 睦 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1 発明の名称

アクティブマトリックス基板

2 特許請求の範囲

絶縁性基板上に平行配置したデータ線群からなる第1の配線層と、前記データ線群と直交する走査線群からなる第2の配線層と、該配線層の交点には、データ線にソース電極、走査線にゲート電極、透明画素電極比ドレイン電極が連結する薄膜トランジスタと、該ドレイン電極と連結する電極と誘電体膜を隔てて対向する定電圧共通線群からなる第3の配線層とから構成されるアクティブマトリックス基板において、第1の配線層または第2の配線層と、第3の配線層が近接または重畳し、前記配線層間に第1の絶縁膜、薄膜トランジスタの半導体薄膜、第2の絶縁膜がはさまれていることを特徴とするアクティブマトリックス基板。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶パネルといったフラットパネルディスプレイに用いるアクティブマトリックス基板の構造に関する。

〔従来の技術〕

絶縁性基板上にアモルファスシリコン、多結晶シリコン薄膜等を能動領域として用いた薄膜トランジスタをマトリックス状に配置し、もう一枚の透明絶縁基板とで液晶を封じ込めた液晶パネルは、小型液晶テレビ、壁掛けテレビ、投影型液晶ディスプレイ等応用が広い。

第3図は、前記液晶パネルのアクティブマトリックス基板の等価回路である。1は $m$ 本のデータ線群( $S_1, \dots, S_m$ )、2は $n$ 本の走査線群( $O_1, \dots, O_n$ )、3は $m \times n$ 個の薄膜トランジスタ、5は液晶容量、4は付加容量である。○印は、対向基板の電極端子であり共通に短絡されている。第4図は、液晶パネルの概略断面図であ

る。

6は、絶縁性基板からなるアクティブマトリックス基板、7は透明画素電極、8は絶縁性対向基板、9は透明対向電極、10は、薄膜トランジスタの光リーク電流及び、画素電極間のもれ光を遮断する遮光膜、11は、液晶、12はシールド、13は下偏光板、14は上偏光板である。

第5図(α)は、第3図の等価回路の中の一画素の構造を示す平面図、(β)は、(α)内のα-α'断面図である。

透明絶縁性基板6上に、アモルファスシリコン、多結晶シリコン薄膜15を堆積し、パターンニングして能動領域とする。次にゲート絶縁膜16を0V法で堆積するか、シリコン薄膜を酸化して形成したあと、ゲート電極、ゲート配線(走査線)17となる多結晶シリコン薄膜や、金属薄膜を堆積し、パターンニングする。次に、別の導電薄膜を堆積しパターンニングして、定電圧共通線18とする。定電圧共通線18は、ゲート線17と同一材料とすることもできるが、画素中央を横切るこ

を高める上で、透明な方が望ましく、透明導電膜は低融点材料が多いことから層間絶縁膜19としては低融形成できる材料、すなわち、0V法膜や、スパッタ膜の必要がある。通常、この種の膜はゴミ、フレークが発生しやすいため、ピンホールによって画素電極20と定電圧共通線が短絡することが多く不良点欠陥が多発する。付加容量は大きい方が好ましく、この場合、層間絶縁膜の膜厚を減少することは困難なため、電極面積を増大させるわけであるが、点欠陥の発生率は、さらに増加する。

この点欠陥の発生をおさえるには、容量をつくる絶縁膜をピンホールの少ない熱酸化膜にする方法がある。第6図は付加容量を熱酸化ゲート絶縁膜によってつくる方法を示したもので、(α)は平面図、(β)は(α)内のα-α'断面図である。具体的には、付加容量は、定電圧共通線18と、薄膜トランジスタのドレイン電極の延長電極との間のゲート絶縁膜容量と画素電極20と定電圧共通線18との間の層間絶縁膜容量とで構成

とが多く、画素電極の開口率を低下させる原因となるため、透明導電膜とする場合が多い。

次に、ゲート電極17をマスクにして、N型薄膜トランジスタをつくるならリン原子、P型薄膜トランジスタをつくるならボロン原子をイオン打込みして、ソース・ドレイン領域を形成する。適度なアニールの後、層間絶縁膜19を堆積し、ソース・ドレイン領域上にコンタクトホールを開口した後、透明導電膜を堆積しパターンニングして、透明画素電極20を形成する。次に、金属材料を堆積しパターンニングして、ソース線(データ線)21とする。第3図中の付加容量4は、透明画素電極20と、定電圧共通線18の間の層間絶縁膜19によりつくりこまれている。

線22に囲まれている部分が、対向基板上の開口部であり、ソース線21、ゲート線17上の領域は遮光膜10となる。

#### [発明が解決しようとする課題]

前述したように、定電圧共通線18は、開口率

されるが、絶縁膜厚の関係から、前者の容量が大部分を占める。したがって、第5図に比べ、付加容量を同程度つくる場合、電極面積を1桁近く小さくできるため、面積、膜質からピンホールによる点欠陥は、著しく減少する。

しかし、定電圧共通線18の材料を透明材料としても、ドレイン領域が半透明な半導体薄膜なので透過率が低下し、開口率の低下の原因となる。

定電圧共通線18をゲート線17に近接させれば、開口率は向上できるが、2つの配線間距離Wは、長い平行配線では、短絡する可能性が強いため、限界があり、画素中央部を通ることは避けられない。

特に、高密度の画素ピッチになると、開口率にしろ、定電圧共通線の面積の比率が高くなり、開口率の低下は著しい。具体的に、画素ピッチが縦50μm、横50μmぐらいの高密度パネルでは、開口率は十分な付加容量(液晶容量の3~5倍程度)をつくる場合、20%程度になり、パネル全体は遮光領域が大半をしめるため暗っぽい表

示になる。

本発明の目的は、高密度パネルにおいても、十分な付加容量をつくり、かつ開口率の高いパネルが実現できるアクティブマトリックス基板を提供することにある。

#### 〔課題を解決するための手段〕

本発明のアクティブマトリックス基板は、絶縁性基板上に平行配置したデータ線群からなる第1の配線層と該データ線群と直交する走査線群からなる第2の配線層と、該配線群の交点には、データ線にソース電極、走査線にゲート電極、透明誘電電極上にドレイン電極が連結する薄膜トランジスタと、該ドレイン電極と連結する電極と誘電体膜を隔てて対向する定電圧共通線群からなる第3の配線層とから構成されるアクティブマトリックス基板において、第1の配線層または第2の配線層と、第3の配線層が近接または重畳し、前記配線層間に第1の絶縁膜、薄膜トランジスタの半導体膜、第2の絶縁膜がはさまれていることを

図であり、(b)、(c)は、(a)内のa-a'、b-b'断面図である。

工程順に説明すれば、絶縁性基板6上に、導電膜を堆積し、パターニングして定電圧共通線18とする。導電膜は、金属でもよいし、高濃度不純物が添加された多結晶シリコン薄膜でもよい。次に絶縁膜23を堆積する。絶縁膜は、OVD法、スパッタ法等によるSiO<sub>2</sub>膜か、熱酸化法による定電圧共通線の酸化膜でもよい。次に多結晶シリコン薄膜、アモルファスシリコン薄膜等の半導体薄膜15を堆積しパターニングして、能動領域を形成する。

付加容量は、絶縁膜23の膜厚、膜質、容量を構成する半導体薄膜15と定電圧共通線18の電極面積に依存する。熱酸化法によって構成された絶縁膜は、ピンホールも少なく、均一なため、膜厚もうすくでき、電極面積も小さくできる長所をもつ。

次に、半導体薄膜15を熱酸化するか、同様なOVD法によりゲート絶縁膜16を形成し、つづ

特徴とする。

#### 〔作用〕

本発明は、開口率を上げるために、定電圧共通線を、ソース線やゲート線や薄膜トランジスタを遮光する遮光領域に配置した。そのために、ソース線や、ゲート線と短絡しないように多層配線とした。具体的には、定電圧共通線上には、第1の絶縁膜、薄膜トランジスタの半導体膜、第2の絶縁膜が形成され、その上に、ゲート線あるいは、ソース線が配線されている。

第1の絶縁膜、第2の絶縁膜は、それぞれ、定電圧共通線、半導体薄膜の熱酸化膜とすれば、ピンホールの少ない絶縁膜となり、点欠陥の少ない高密度パネルが実現できる。

#### 〔実施例〕

第1図は、本発明の第1の実施例を示すもので定電圧共通線を、ソース線と近接あるいは、重畳させた構造の場合である。(a)は、構造の平面

図であり、高ドーピング多結晶シリコン薄膜あるいは金属薄膜を堆積し、パターニングして、ゲート電極、ゲート線17を形成する。次に、前記ゲート電極をマスクにして、N型薄膜トランジスタであれば、リン原子、P型薄膜トランジスタであれば、ボロン原子をイオン打込みした後、アニールして、ソースドレイン領域24、25を形成する。

次に、OVD法により層間絶縁膜19を堆積しコンタクトホールを開く。透明導電膜を堆積しパターニングして透明誘電電極20、金属薄膜を堆積して、パターニングによりソース線21を形成する。

定電圧共通線は、共通線上に、チャンネルシリコン薄膜が形成されているときはチャンネル反転がおこらないように、接地電位にしておくのが好ましい。また、定電圧共通線上からチャンネル領域をずらしておけば、定電圧のレベルは自由に変えることができる。定電圧共通線は、ソース線から少々ずれてもかまわないがずれ量により、遮光

傾斜が増加し、破線22が画素電極の内側にくるため開口率は、少々低下する。

第2図は、本発明の第2の実施例を示すもので定電圧共通線を、ゲート線と近接あるいは、重畳させた構造の場合である。(a)は、構造の平面図であり、(b)、(c)は、 $a-a'$ 、 $b-b'$ 断面図である。

プロセスは、第1図のものと同じなので省略する。第6図と比較すると、定電圧共通線と、ゲート線が多層配置になっているため、定電圧共通線とゲート線の間隔をなくすることが可能である。

したがって、第6図に比べれば、透過率と開口率を向上できる。

#### [ 発明の効果 ]

本発明によれば、定電圧共通線と、ソース線あるいは、ゲート線と近接あるいは、重畳構造にすることで、画素の開口率を向上することができる。

これは、高密度画素をもつパネル（例えば、ビ

デオプロジェクターのライトバルブ）のような場合には一層効果がある。

また、付加容量の絶縁膜を熱硬化膜にした場合ピンホールが少なく、点欠陥の少ないパネルが実現でき歩留りが向上、コストダウンにつながる。

#### 4. 図面の簡単な説明

第1図、第2図は、本発明の実施例を示す、アクティブマトリックス基板の平面図と断面図である。

第3図は、アクティブマトリックス基板の基本回路図である。

第4図は、アクティブマトリックス基板を用いた液晶パネルの構造断面図である。

第5図、第6図は、従来のアクティブマトリックス基板の平面図と断面図である。

1 ……ソース線（データ線）

2 ……ゲート線（走査線）

3 ……薄膜トランジスタ

4 ……付加容量

5 ……液晶容量  
6 ……絶縁性基板

7 ……画素電極

8 ……対向基板

9 ……対向電極

10 ……遮光層

11 ……液晶

12 ……シール剤

13 ……下偏光板

14 ……上偏光板

15 ……半導体薄膜

16 ……ゲート絶縁膜

17 ……ゲート線（ゲート電極）

18 ……定電圧共通線

19 ……層間絶縁膜

20 ……画素電極

21 ……ソース線

22 ……対向基板の開口領域と遮光領域の境界

23 ……付加容量絶縁膜

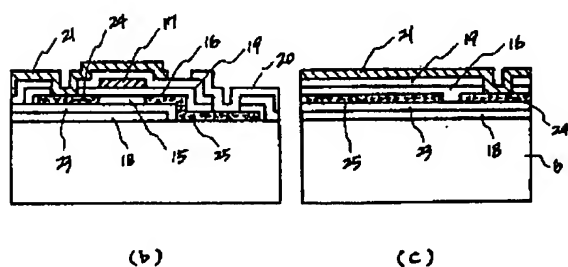
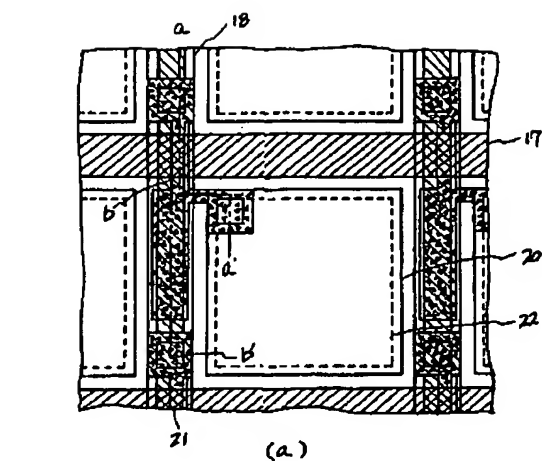
24 ……ソース領域

25 ……ドレイン領域

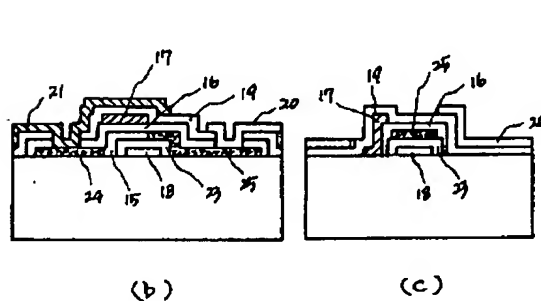
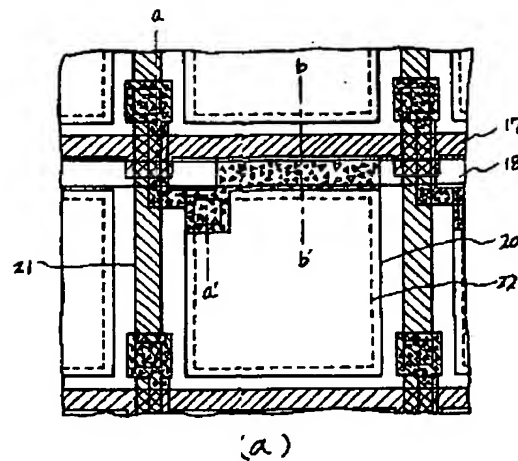
以 上

出願人 セイコーエプソン株式会社

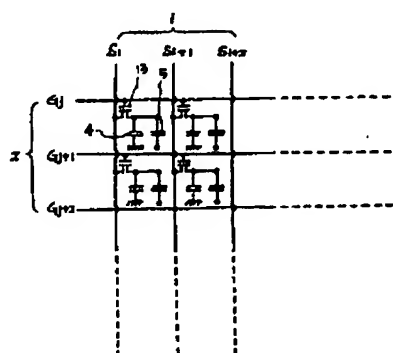
代理人 弁理士 鈴木喜三郎(他1名)



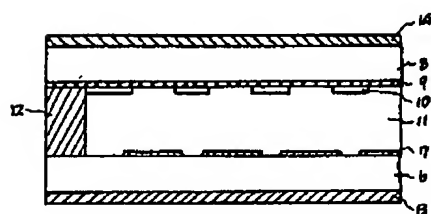
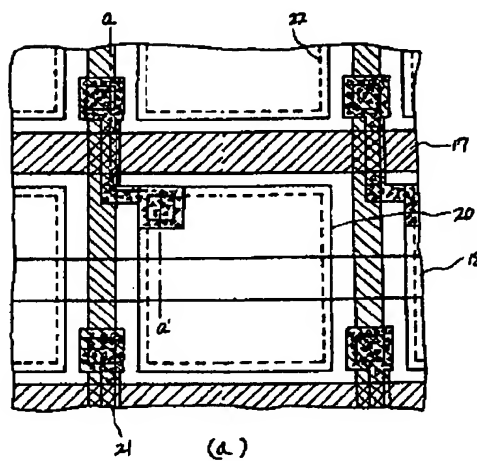
第 1 図



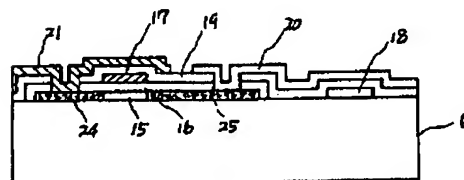
第 2 図



第 3 図

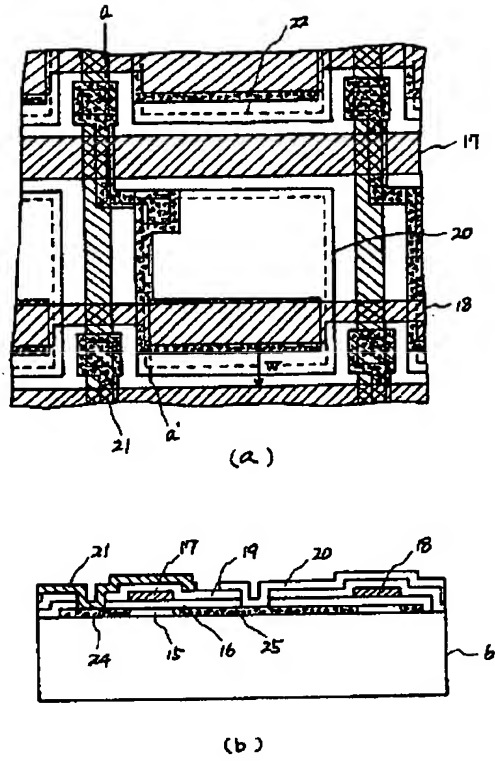


第 4 図



(b)

第 5 図



第 6 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成9年(1997)6月10日

【公開番号】特開平3-80225

【公開日】平成3年(1991)4月5日

【年通号数】公開特許公報3-803

【出願番号】特願平1-216481

【国際特許分類第6版】

G02F 1/136 500

1/1333 505

1/1343

【F I】

G02F 1/136 500 7809-2K

1/1333 505 7809-2K

1/1343 7809-2K

## 手続補正書 (自発)

平成8年8月 22 日

特許庁長官 殿

### 1. 事件の表示

平成1年 特 許 願 第216481号

### 2. 発明の名称

アクティブマトリックス基板

### 3. 補正をする者

事件との関係 出願人  
東京都新宿区西新宿2丁目4番1号  
(236) セイコーエプソン株式会社  
代表取締役 安 川 英 昭

### 4. 代 理 人

〒163 東京都新宿区西新宿2丁目4番1号  
セイコーエプソン株式会社内  
(9338) 介理士 鈴木 喜三郎  
連絡先 3348-6531 内線 2610 ~2615



### 5. 補正の対象

明細書

### 6. 補正の内容

紙 の 通 り



手続補正書

1. 特許請求の範囲を別紙の如く補正する。

2. 明細書第7頁第7行目~第8頁第1行目記載の「本発明の〜特徴とする。」を

「本発明は、基板上にマトリックス状に配列されてなる画素電極と、該画素電極に接続されてなる薄膜トランジスタと保持電極とを有し、データ線に供給されるデータ信号は該薄膜トランジスタを介して画素電極及び該保持電極に供給されてなるアクティブマトリックス基板において、

前記薄膜トランジスタのソース・ドレイン領域はシリコン薄膜からなり、前記保持電極は、前記基板上に形成されて一定電位に接続された第1電極と、絶縁膜を介して前記第1電極に対向配置された第2電極とからなり、

前記第2電極は、前記ソース・ドレイン領域となるシリコン薄膜が延在されてなることを特徴とする。

本発明は、前記第1電極が前記データ線に重畳されてなることを特徴とする。

本発明は、前記第1電極はシリコン薄膜からなり、前記絶縁膜は前記第1電極のシリコン薄膜の熱酸化膜からなることを特徴とする。」と補正する。

以 上

代理人 鈴木 喜三郎

## 特許請求の範囲

(1) 基板上にマトリックス状に配列されてなる画素電極と、該画素電極に接続されてなる浮遊トランジスタと保持容量とを有し、データ線に供給されるデータ信号は該浮遊トランジスタを介して該画素電極及び該保持容量に供給されてなる  
アクティブマトリックス基板において、

前記浮遊トランジスタのソース・ドレイン領域はシリコン薄膜からなり、

前記保持容量は、前記基板上に形成されて一定電位に接続された第1電極と、  
絶縁膜を介して前記第1電極に対向配向された第2電極とからなり、

前記第2電極は、前記ソース・ドレイン領域となるシリコン薄膜が延在されて  
なることを特徴とするアクティブマトリックス基板。

(2) 前記第1電極が前記データ線に重畳されてなることを特徴とする請求項第  
1項記載のアクティブマトリックス基板。

(3) 前記第1電極はシリコン薄膜からなり、前記絶縁膜は前記第1電極のシリ  
コン薄膜の熱酸化膜からなることを特徴とする請求項第1項記載のアクティブマ  
トリックス基板。